基于 FPGA 的多通道数据采集系统的设计

史籍，常越，李海国
（上海交通大学 电子信息与电气工程学院，上海 200000）

摘 要： 介绍了一种基于 MachXO2 4000ZE 系列的 FPGA 芯片和模数转换芯片 AD7356 的多通道数据采集系统，采样率最高可达到 5Msps。系统采用多个 AD 芯片来实现多路模拟量的实时采集。通过 verilog 编程语言实现 FPGA 芯片对 AD 转换的时序控制。FPGA 内嵌的双口 RAM 作为数据缓存器来存储转换结果。通过 FPGA 控制单元对 AD 转换部分和数据缓存部分的控制可实现数据采集与数据输出的同时执行。阐述了系统的构成以及各个部分的工作原理，着重分析了 FPGA 控制策略和数据缓存的实现，并使用 Modelsim 仿真软件进行仿真与分析。

关键词： FPGA；AD7356；多路采集；A/D 转换；数据缓存
DOI：10.3969/j.issn.1000－3886.2016.01.006
［中图分类号］ TP930.12 ［文献标志码］ A ［文章编号］ 1000－3886(2016)01－0015－04

Design of the FPGA-based Multichannel Data Acquisition System

SHI Ji, CHANG Yue, LI Hai-guo
(*School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai* 200000, *China*)

Abstract: This paper presents a multichannel data acquisition system based on MachXO2 4000ZE series FPGA chip and A/D conversion chip AD7356, with a sampling rate up to 5 Msps. The system adopts several AD chips to achieve real-time acquisition of multichannel analog quantity. Verilog programming language is used to realize FPGA chip's timing control over A/D conversion. FPGA- embedded dual-port RAMs are used as data caches to store conversion results. Data acquisition and data output are performed simultaneously through FPGA control unit's control over A/D conversion section and data caching section. Furthermore, this paper describes the structure of the system and the principle of each part, analyzes the FPGA control strategy and realization of data caching, and uses Modelsim simulation software for simulation and analysis purpose.

Keywords: FPGA; AD7356; multichannel acquisition; A/D conversion; data caching

0 引 言

在电力系统微机继电保护装置中，多通道数据采集系统是重要的组成部分[1]。传统的多通道数据采集系统存在一定的缺陷：每次只能进行单通道的 AD 转换，当第 N 路信号转换完毕后才可以进行第 $N+1$ 路信号的转换[2]，或者数据的采集与传输不能够同时进行，这样造成了转换效率不高的问题。传统的 AD 转换芯片还具有控制信号多，控制时序复杂的弊端。

在本文设计的系统中，由于 FPGA 集成度高，时序控制精确，片上资源丰富，可灵活对其编程，实现各种逻辑器件功能[3]，因此采用 FPGA 作为主控芯片。AD 转换芯片采用 AD7356，该芯片可同时采集并且转换两路模拟信号，运用多片 AD7356 可以对多路信号并行采集和转换，提高了 AD 转换效率；AD7356 还可同时输出两路转换结果，结合 FPGA 内部的双口 RAM，可实现多个通道转换结果的缓存和并行读取[4]。利用系统的工作原理，可将现有规模的系统扩展为拥有更多转换通道数和转换精确度的数据采集系统。系统的转换效率高并具有较好的可靠性，因此确保了继电保护装置准确、快速地动作。

1 系统的结构

系统的结构框图如图 1 所示。

定稿日期： 2015－11－19

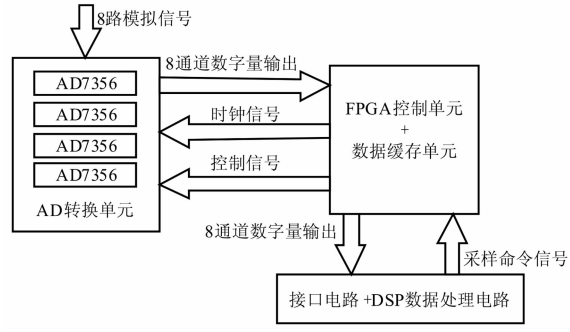

图 1 系统的结构框图

本文设计的系统由 AD 转换单元、FPGA 控制单元、数据缓存单元、接口电路以及 DSP 数据处理电路组成。

FPGA 控制单元接收 DSP 的启动信号，并且为 AD 转换单元和数据缓存单元提供时钟信号和控制信号[5]。本系统采用的 FPGA 为 Lattice 公司 MachXO2 4000ZE 系列器件，该系列器件采用 65 nm 闪存工艺技术，工作电源电压标称值为 1.2 V，支持高达 60 MHz 的系统性能，可提供低至 19 μW 的功耗，拥有 4 320 个查找表（LUTs）和 34 KB 的分布式内存（Distributed RAM）。

AD 转换单元采用 4 片 AD7356 芯片同步工作，AD7356 是 Analog Devices 公司出品的转换精度 12 位的逐次逼近型 ADC，以 5 Msps 采样速率工作时功耗仅 35 mW。AD 转换单元接收经过调理电路处理后的交流模拟信号，每片 AD7356 可同时对两路差分

模拟信号进行采样和转换,并且两路转换结果可以同时串行输出。FPGA 控制单元向所有的 ADC 提供统一的时钟信号和控制信号,保证了 8 路模拟信号的同步采集和转换。

数据缓存单元由 FPGA 内部的双口 RAM 构成,通过 IPexpress 软件工具可以任意设置双口 RAM 的数量和大小。每一个 RAM 块用来存储一路信号的转换结果[6],分为 *A* 和 *B* 两部分,当转换结果写入到子块 *A*(*B*)时,子块 *B*(*A*)输出上次转换结果,两个子块交替工作[7]。本系统共设置 8 个双口 RAM 块,分别存储 8 路转换结果。FPGA 控制单元向所有 RAM 块提供统一的时钟信号、控制信号以及使能信号,因此 8 路转换结果被同时写入到 8 个 RAM 块的子块 *A*(*B*),并且 8 个 RAM 块的子块 *B*(*A*)内的转换结果被同时输出。

DSP 数据处理电路通过接口电路读取缓存后的 AD 转换结果,并且对数据做进一步处理。同时,DSP 数据处理电路给 FPGA 控制单元发出系统启动信号。

2 FPGA 控制与数据缓存的实现

FPGA 控制单元与 AD 转换单元以及数据缓存单元的逻辑连接如图 2 所示。

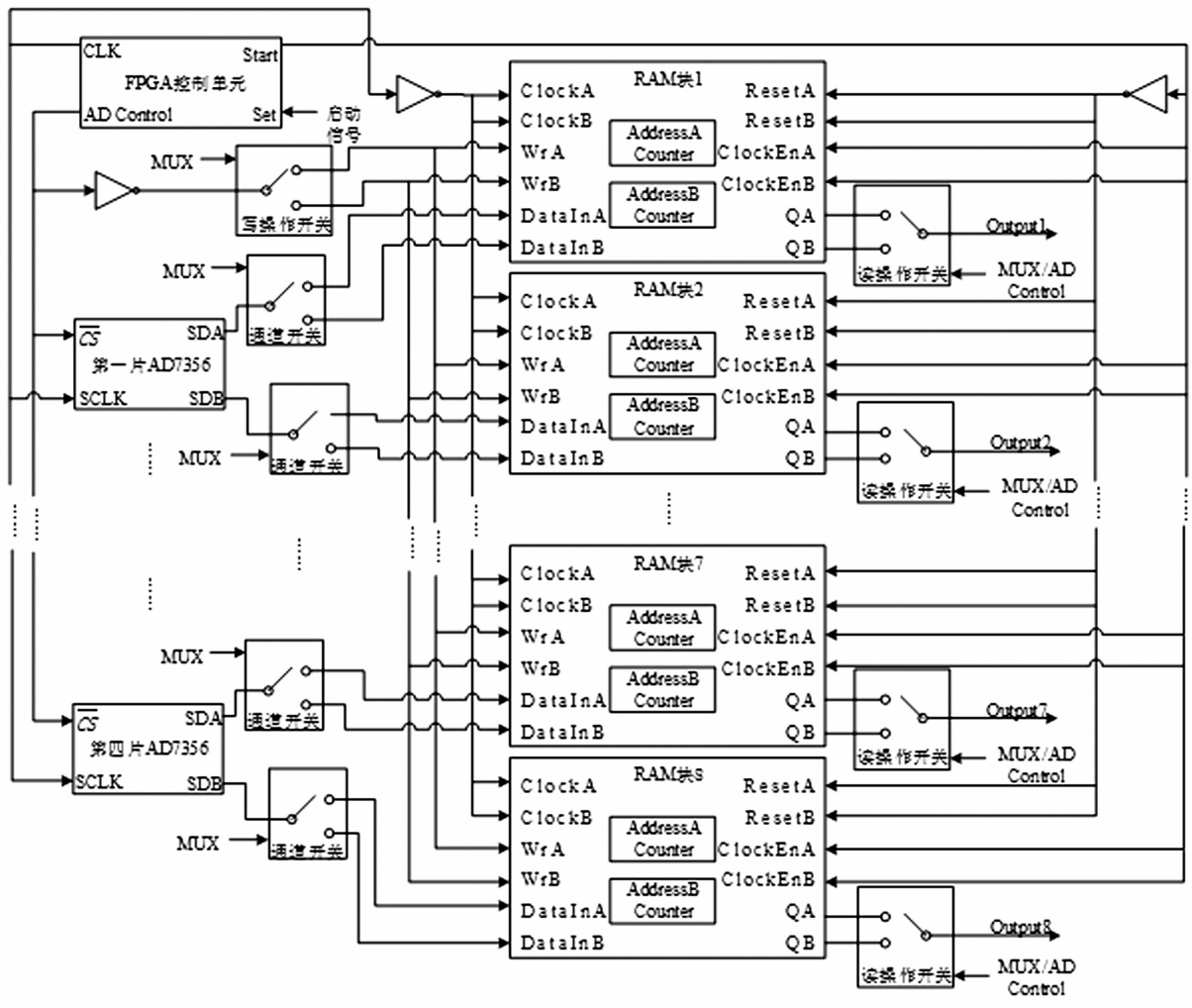

图 2 FPGA 与 AD7356 的逻辑连接图

2.1 FPGA 控制单元

FPGA 控制单元由两部分组成:(1) 主控逻辑部分;(2) 通道开关、读/写操作开关。

主控逻辑部分:当 FPGA 芯片的 Set 引脚接收到 DSP 发出的启动信号时,一方面 Start 信号跳变到高电平,启动数据缓存单元(正常工作时,ResetA/ResetB 为低电平,ClockEnA/ClockEnB 为高电平),另一方面 FPGA 控制单元依照 AD7356 的时序图发出时钟信号 CLK、控制信号 AD Control(CLK 的波形与 SCLK 一致,AD Control 的波形与$\overline{CS}$一致),这两个信号同时作用于 AD 转换单元和数据缓存单元。AD7356 的时序图如图 3 所示。

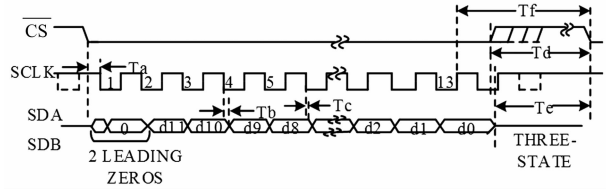

图 3 AD7356 时序图

图 3 中各个时间的含义如下:*Ta* 是$\overline{CS}$到 SCLK 建立时间;*Tb* 是 SCLK 下降沿后的数据访问时间;*Tc* 是 SCLK 到数据的有效保

持时间；*Td* 是$\overline{CS}$高电平维持的时间；*Te* 是串行读取结束与下一个$\overline{CS}$下降沿之间的最短时间；*Tf* 是数据采集时间。

SCLK 为串行时钟，串行时钟提供转换时钟，并在转换期间控制来自 AD7356 的信息传输。$\overline{CS}$下降沿将采样保持器置于保持模式，同时 AD7356 对模拟输入进行采样，总线脱离三态，转换也在此刻启动。执行转换过程并在 AD7356 的任一数据线上获取一次转换结果至少需要 14 个串行时钟周期，一次转换结果由 14 位组成：2 个前导零和 12 位转换数据，每一位数据在 SCLK 的下降沿之后有效，SDA 和 SDB 为两个数据输出端，输出的数据进入到数据缓存单元进行存储。一次转换结束后需要等待一段时间（$\overline{CS}$高电平），然后$\overline{CS}$再次产生下降沿进行新一轮转换。

由于从 AD 转换单元输出的转换结果在 ClockA/ClockB 的上升沿之后才可以被写入到数据缓存单元，因此 CLK 需要通过反相器再输入到 ClockA/ClockB 端，在转换结果被写入到数据缓存单元时要保证 WrA/WrB 为高电平，因此 AD Control 信号需要通过反相器再输入到 WrA/WrB 端。

通道开关以及读/写操作开关：MUX 为一位的寄存器输出，当控制信号 AD Control 产生下降沿时，MUX 寄存器加 1。

通道开关：当 MUX = 1 时，8 个通道开关选通各自 RAM 块的 DataInA 端；当 MUX = 0 时，8 个通道开关选通各自 RAM 块的 DataInB 端。

写操作开关：当 MUX 变为 1 时，AD Control 信号经过反相器输入到 WrA 端，WrA 先获得高电平，加之 8 个 RAM 块的 DataInA 端被同时选通，因此 8 路转换结果被同时写入到各自 RAM 块的子块 A，写入完毕后 AD Control 产生上升沿，因此 WrA 变为低电平（不写入数据到子块 A），直到 MUX 的值再次从 0 跳变到 1 时，WrA 才重新变为高电平；当 MUX 变为 0 时，AD control 信号经过反相器输入到 WrB 端，WrB 先获得高电平，加之 8 个 RAM 块的 DataInB 端被同时选通，因此 8 路转换结果被同时写入到各自 RAM 块的子块 B，写入完毕后 AD Control 产生上升沿，因此 WrB 变为低电平（不写入数据到子块 B），直到 MUX 的值再次从 1 跳变到 0 时，WrB 才重新变为高电平。

读操作开关：AD Control 产生上升沿时，根据上升沿时刻的 MUX 值判断输出子块 A 还是子块 B 中存储的转换结果。如果 AD Control 上升沿时刻的 MUX 为 1，则从 QA 端输出子块 A 存储的转换结果；如果 AD Control 上升沿时刻的 MUX 为 0，则从 QB 端输出子块 B 存储的转换结果。

2.2 数据缓存单元

一个 RAM 块有两个数据输入端，分别为 DataInA 和 DataInB，某时刻只有一个输入端输入数据；有两个数据输出端，分别为 QA 和 QB，某时刻只有一个输出端输出数据。如果当前通道开关选中 DataInA（DataInB），表示在时钟信号 CLK 的激励下，AD7356 往子块 A（B）写入转换结果，在往子块 A（B）写入的同时，QB（QA）输出子块 B（A）内存储的上一次的转换结果供 DSP 读取。

子块 A（B）由 14 位构成，用来存储一次转换结果，一个地址对应一位数据。每个 RAM 块内部实现了两个地址寄存器 AddressA Counter 和 AddressB Counter，分别对应子块 A 和子块 B。在写入子块的过程中，被写入子块的 Wrx（$x = A, B$）= 1，ClockA/ClockB 的上升沿（SCLK 的下降沿）之后一位数据被写入到当前地址寄存器指向的存储空间里，每当往子块里写入一位数据后，对应子块的地址寄存器的值加 1；在读取子块的过程中，被读取子块的 Wrx（$x = A, B$）= 0，ClockA/ClockB 的上升沿（SCLK 的下降沿）之后输出当前地址寄存器指向的存储空间里的一位数据，每当输出一位数据后，对应子块的地址寄存器的值加 1。

当地址寄存器内的值加到 13 时，表示子块内写满 14 位的转换结果或者子块输出 14 位转换结果，地址寄存器清零，进行下一轮读/写操作。数据缓存单元的写操作流程如图 4 所示，读操作流程如图 5 所示。

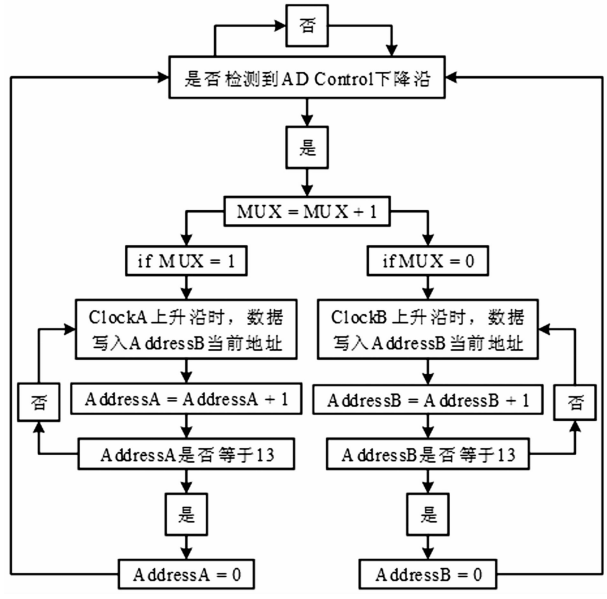

图 4 数据缓存单元的写操作流程

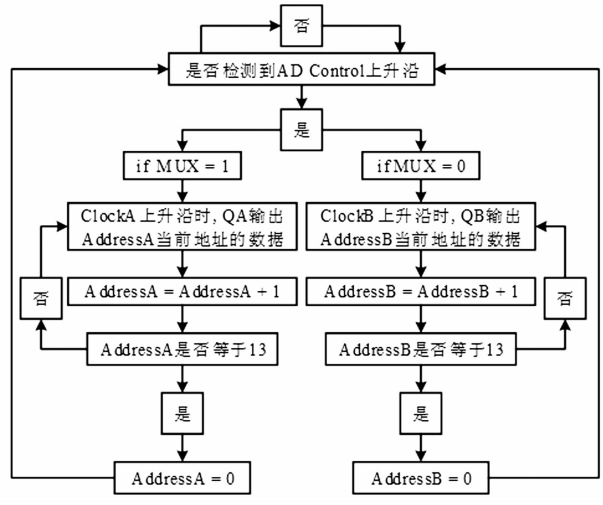

图 5 数据缓存单元的读操作流程

3 系统工作过程

图 6 显示了对一个 RAM 块写入与读取的过程，系统的 8 个 RAM 块按照相同的节拍同时工作。

图 6 中实线框表示写入数据到子块，虚线框表示读取子块内的数据，框内的数字代表当前的地址，打叉的框为空闲区域（不执行写入操作和读取操作）。t_0 至 t_1 的时间长度为执行写操作时

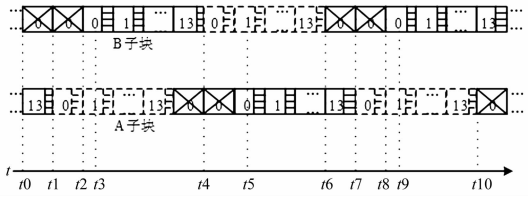

图 6　一个 RAM 块的工作过程

地址的有效时间，t_1 至 t_2 的时间长度为执行读操作时地址的有效时间，两个时间长度相同且等于一个 SCLK 周期时间。日字格表示数据有效的时间域，数据在日字格的时间范围内被写入或读取，日字格的左边沿代表 SCLK 信号的下降沿（ClockA/ClockB 上升沿）时刻。

t_3 时刻 AD Control 产生下降沿，MUX 值变为 0，开启对子块 B 的写入操作，在 t_4 时刻，14 位的转换结果被全部写入到子块 B 内，AddressB 清零；另外在 t_4 时刻，AD Control 产生上升沿，而此刻的 MUX = 0，因此 t_4 时刻以后输出子块 *B* 内的转换结果供 DSP 读取，t_6 时刻 DSP 刚好读完 14 位的转换结果。在对子块 B 执行读取操作的同时，写入新的转换结果到子块 A 中：在 t_5 时刻，AD Control 产生下降沿，MUX 值变为 1，写入新的转换结果到子块 A，在 t_7 时刻，14 位的转换结果被全部写入到子块 *A* 内，AddressA 清零；另外在 t_7 时刻，AD Control 产生上升沿，而此刻的 MUX = 1，因此 t_7 时刻后输出子块 *A* 内的转换结果供 DSP 读取，t_{10}时刻 DSP 刚好读完 14 位的转换结果。在对子块 A 执行读取操作的同时，对子块 B 执行写入操作：t_9 时刻 AD Control 产生下降沿，MUX 值变为 0，写入转换结果到子块 B，接下来的流程与上文讲述的相同，两个子存储块交替工作。

在上述过程中，t_6 时刻子块 B 内的 14 位转换结果读取完毕，为了保证 DSP 能够可靠地读取连续两次的转换结果，这时需要插入一个空闲段，空闲段从 t_6 时刻开始至 t_7 时刻结束，持续时间为一个 SCLK 周期时间长度，在空闲期间，虽然仍然有一位数据从子块输出，但是 DSP 视其为无效数据，直到 t7 时刻开始再次读取子块 A 内的转换数据；同理，在 t_7 时刻，14 位转换结果全部写入到子块 A 内，为了保证可靠地写入连续两次的转换结果，这时需要插入一个空闲段，空闲段从 t_7 时刻开始至 t_8 时刻结束，持续一个 SCLK 周期的时间长度，在空闲期间，WrA = WrB = 0，不写入数据到数据缓存单元，t_8 时刻开始再次写入数据到子块 B。

通过分析系统工作过程看出，每一个子块按照：写 - 读 - 空闲 2 个 SCLK 周期 - 写 - 读 - 空闲 2 个 SCLK 周期……的节拍工作。对一个 RAM 块的写操作执行过程是：写入转换结果 - 空闲一个 SCLK 周期 - 写入新的转换结果 - 空闲一个 SCLK 周期……对一个 RAM 块的读操作执行过程是：读取转换结果 - 空闲一个 SCLK 周期 - 读取新的转换结果 - 空闲一个 SCLK 周期……连续两次写操作或读操作之间只有一个 SCLK 周期的时间间隔。

4　系统仿真

根据设计，在 Modelsim 10.1a 软件中进行仿真，图 7 为正在工作着的系统中某个 RAM 块的时序仿真图。图中显示的部分对子块 A 执行读 - 写 - 读操作，对应的数据分别为：00 011010011001、00 011011000010、00 011011000010；对子块 B 执行写 - 读 - 写操作，对应的数据分别为：00 100110011100、00 100110011100、00 001100110011。

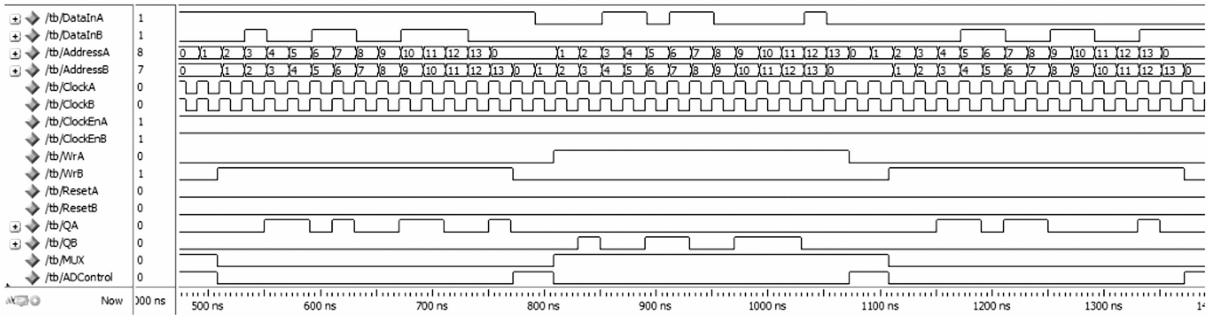

图 7　正在工作的 RAM 块的时序仿真图

从仿真波形上看出，在 FGPA 的时钟信号和控制信号的作用下，可以有效地写入转换结果到 RAM 块，并且 RAM 块能够正确输出转换结果供 DSP 读取。

5　结束语

本文采用了 FPGA 芯片为主控制器，对 8 路模拟信号进行同时采集，通过 FPGA 芯片内部的 RAM 对转换结果进行缓存，利用每个 RAM 块有双通道的特点，实现了数据写入与读取的同时进行，提高了系统工作效率。由于 IPexpress 软件可实现对 FPGA 内部 RAM 的大小与数量的任意设置，因此当实际需要测量的交流电压、电流信号的数量增多时，或者对测量结果的精确度提出更高的要求时，本系统可升级为拥有更高精确度与通道数的 AD 采集转换系统。本方案设想与系统的仿真结果一致，证明了系统的可行性。

参考文献：

[1] 宋锋，孙未. 基于 FPGA 的数据采集系统的设计[J]. 信息技术，2009，23(10)：118 - 120.
[2] 王俊，郑焱，王红，等. 基于 DMA 的并行数字信号高速采集系统[J]. 电子应用技术，2010，36(3)：42 - 44.
[3] 张耀政，王文廉，张志杰. 基于单路 FIFO 的多通道同步采集存储系统的研究[J]. 电力系统保护与控制，2010，38(8)：100 - 104.
[4] 杨林楠，李红刚，张丽莲，等. 基于 FPGA 的高速多路数据采集系统的设计[J]. 计算机工程，2007，33(7)：246 - 248.
[5] 左丽霞，邓芳芳，卢山. 基于 DSP 的高速数据采集系统设计与实现[J]. 电力系统保护与控制，2010，38(13)：108 - 112.
[6] 孙炎辉，丁纪峰. 基于 FPGA 的数据采集控制模块设计[J]. 现代电子技术，2009，33(22)：189 - 191.
[7] 梁成志，王诚，赵延宾. LATTICE FPGA/CPLD 设计(基础篇)[M]. 北京：人民邮电出版社，2011.

【作者简介】史籍(1990 -)，男，内蒙古赤峰人，硕士生，研究方向为电力电子技术。　常越(1959 -)，男，辽宁沈阳人，工学博士，副教授，研究方向为电机控制与特种电源研究；　李海国(1990 -)，男，重庆人，硕士生，研究方向为嵌入式系统的研发。